

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent Number: JP11274288
Publication date: 1999-10-08
Inventor(s): SUZUKI TAKAMITSU; TANIGAMI TAKUJI; SATO SHINICHI
Applicant(s): SHARP CORP
Requested Patent: ■ JP11274288
Application Number: JP19980076783 19980325
Priority Number(s):
IPC Classification: H01L21/76
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent exposure at the end of an active region at the angle of a trench, by forming a bird's beak larger in upward creeping by thermal oxidation, at the end of an element isolation region using a trench.

SOLUTION: An SiO₂ film layer 102, a first polycrystalline Si film layer 103, and an SiN film layer 104 are made in order on a silicon substrate 101, and next a resist pattern 105 is selectively formed on the element formation region on the silicon substrate 101. With this resist pattern 105 as a mask, the first SiN film 104, the first polycrystalline film 103, and the first SiO₂ film 102 are etched, and further the silicon substrate 101 are etched to form a trench 106 and remove the resist pattern 105. Then, the flank and bottom of the trench 106 and the flank of the polycrystalline Si film 103 are thermally oxidized to round the angle such as a section 107, thus a bird's beak large in upward creeping is made.

Data supplied from the esp@cenet database - I2

特開平11-274288

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-274288

(43)公開日 平成11年(1999)10月8日

(51)Int.Cl.⁴

識別記号

F I

H 0 1 L 21/76

H 0 1 L 21/76

L

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21)出願番号

特願平10-76783

(22)出願日

平成10年(1998)3月25日

(71)出願人

000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者

鈴木 貴光

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者

谷上 拓司

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者

里 眞一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(74)代理人

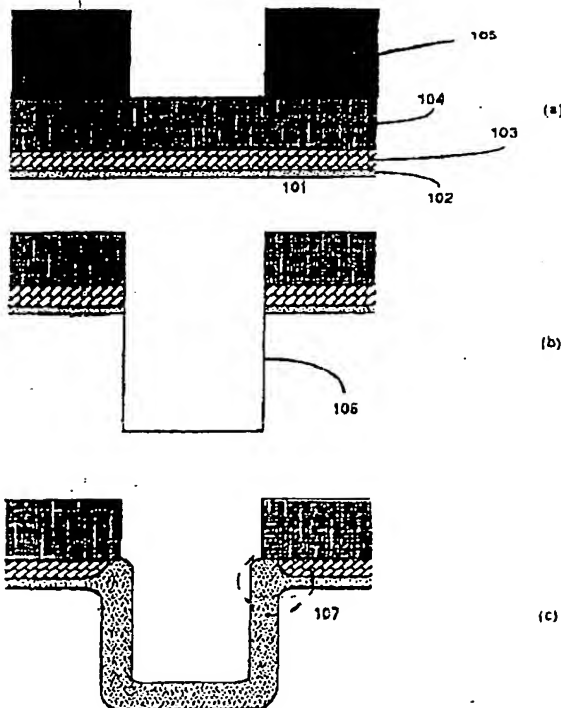
弁理士 小池 隆彌

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 リーク電流の少ない高性能な半導体装置を、工程数を少なく形成する製造方法を提供する。

【解決手段】 シリコン基板上に第1の酸化膜層、第1の多結晶シリコン膜層および第1の窒化膜層をこの順に積層して3層膜を形成し、フォトリソに所望のパターニングを行なうことにより素子分離領域にすべき部分に対応して開口する。その後 エッチングを行うことにより、前記3層膜に溝を形成し、更に前記シリコン基板に第1の溝を形成し、熱酸化を1000℃以上のドライ酸化若しくはHCl酸化で行うことにより、前記第1の溝の側面、底面及び前記第1の多結晶シリコン膜の前記溝の側壁を酸化し、前記第1の酸化膜を挟んだ前記第1の多結晶シリコン膜と前記シリコン基板の界面にバースピークを形成する。前記第1の溝にSiO₂膜を埋めこみ、科学機械的研磨によるエッチバックを行う。さらに第1のSiN膜、第1の多結晶シリコン膜、第1の酸化膜を除去した後、犠牲酸化とそれによる酸化膜を除去し、次いでゲート酸化膜を形成する。



【特許請求の範囲】

【請求項1】 トレンチを用いた素子分離領域の形成を行う半導体装置の製造方法であって、

シリコン基板上に第1の酸化膜層、第1の多結晶シリコン膜層および第1の窒化膜層をこの順に積層して3層膜を形成する工程と、

フォトリソストに所望のパターニングを行なうことにより素子分離領域にすべき部分に対応して開口し、その後エッチングを行うことにより、前記3層膜に溝を形成し、更に前記シリコン基板に第1の溝を形成する工程と、

熱酸化を行うことにより、前記第1の溝の側面、底面及び前記第1の多結晶シリコン膜の前記溝の側壁を酸化し、前記第1の酸化膜を挟んだ前記第1の多結晶シリコン膜と前記シリコン基板の界面にバースピークを形成する工程と、

前記第1の溝に SiO_2 膜を埋めこみ、エッチバックを行う工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 前記熱酸化が 1000°C 以上のドライ酸化若しくは HCl 酸化であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】 前記エッチバックに化学機械的研磨法を用いることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項4】 前記多結晶シリコンの膜厚が 400\AA 以下であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】 前記多結晶シリコンの形成方法として、アモルファスシリコンを堆積させた後、 600°C 以上のアニールを行い、多結晶化を行うことを特徴とする請求項4に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、特にトレンチにより素子分離形成を行う半導体装置の製造方法に関する。

【0002】

【従来の技術】トレンチを用いた素子分離形成の方法の第1従来例を図3に示す。この図において、トランジスタのソース、ドレイン領域は図面（紙面）の垂直方向に並んで形成されている。図3（a）に示すように、シリコン基板201上に、 SiO_2 膜層202及び SiN 膜層203をこの順に形成し、フォトリソストに素子分離領域に対応してパターニングし開口し、その後ドライエッチングにてトレンチ204を形成する。

【0003】その後、図3（b）に示すように、例えば SiO_2 膜205をCVD法にて堆積させ、 SiO_2 膜205をエッチバック、または研磨剤をもちいた研磨を施すことによりトレンチ204を基板表面が平坦となるよ

うに SiO_2 膜205で埋め込む。その後、第1の SiN 膜203及び SiO_2 膜202を除去し、続いて犠牲酸化を行い犠牲酸化膜を形成し、該犠牲酸化膜をウェットエッチングにて除去を行うと、図3（c）のように活性領域とすべき領域（活性領域）端の角部206が鋭角に露出する。尚、ここで、 SiO_2 膜205はこの角部206近傍において、活性領域端の外側に角状底にへこんだ凹部が形成されており、この凹部で活性領域に対し鋭角の形状をなしている。

10 【0004】その後、図3（d）に示すように、活性領域の表面に熱酸化によりゲート酸化膜207を形成し、続いて多結晶シリコン等からなるゲート電極208をゲート酸化膜207の上を完全に覆うように形成する。

【0005】このことにより得られる構成においては、鋭角に露出していた活性領域端の角部206のところに電界集中を生じ、リーク電流が発生したりゲート酸化膜の信頼性の悪化に至るなどの問題点が生じていた。尚、ソース、ドレイン（活性領域に対し紙面の垂直方向に配置されるが、図示しない）も形成してトランジスタを形成するが、ここではこの工程については省略しており、上記リーク電流はソース／ドレイン間で電界集中により局部的に生じる。

【0006】また、前記のトレンチを形成した段階（図3（a）参照）の後で、酸化を行うことにより、図4（e）に示すように、シリコン基板の活性領域とすべき部分の素子分離側の端部の鋭角な角部を、209のように丸める手法を追加することも採られている。更に、上記と同様に SiO_2 膜205の形成とその後の工程を行う。この方法によっても、 SiN 膜203側の SiO_2 酸化膜212は平坦なままなので犠牲酸化膜を除去する工程で第4図（f）の210のように活性域の端部が露出することになる。ここで、活性領域の端部は丸められているが、この丸められた部分の近傍において、 SiO_2 酸化膜205と212はえぐられた凹部が形成されており、その凹部は活性領域に対し鋭角の形状をなしている。その後、ゲート絶縁膜213、ゲート電極214が形成される（図4（g）参照）。

【0007】この構成においても、電界集中によるソース／ドレイン間のリーク電流やゲート酸化膜の信頼性低下を防ぐことはできなかった。尚、この構成においても、電界集中が図4（g）に示す210部分に生じていると考えられる。

【0008】また、この素子分離領域端の鋭角状の露出を防ぐ方法が発明されており、特開平7-122627号公報に開示されている発明を第2従来例として図5を参照し説明する。図5（a）に示すように、シリコン基板上に SiN 膜302と多結晶 Si 膜303とを順次形成する。そしてこれらの多結晶 Si 膜303及び SiN 膜302のうちで素子分離領域にすべき領域上の部分のみを除去してこの部分に開口部304を形成し、次にC

3

VD法により SiO_2 膜を堆積し、続いてエッチバックを行うことにより上記開口部304内に SiO_2 膜のサイドウォール305を形成する。次に図5(b)に示すように、上記サイドウォール305及び上記 SiN 膜302をマスクとしてシリコン基板上の開口部304にトレンチ306を形成する。

【0009】その後、図5(c)に示すように、熱酸化を行い酸化膜307を形成することで活性領域端の角部が鋭角に形成されるのを防ぐ。次に、図5(d)に示すように、サイドウォール305及び酸化膜307上のみ SiO_2 膜308を選択的に形成し、トレンチ306を SiO_2 膜308で埋め込み、続いて図5(e)に示すように、上記 SiN 膜302を除去することにより、活性領域端の露出を防ぐT字形の SiO_2 膜309を形成していた。

【0010】

【発明が解決しようとする課題】上記に述べたように、第1従来例のようなトレンチを用いた素子分離領域の形成方法では、犠牲酸化膜の除去時に活性領域端の角部が鋭角に露出することにより、この角部に電界集中を生じ、リーク電流が発生したりゲート酸化膜の信頼性低下に至るなどの問題点が生じていた。また活性領域の素子分離領域側の角部を丸めるために熱酸化を行う方法も提案されたが、リーク電流やゲート絶縁膜の信頼性低下を防止するまでには至らなかった。

【0011】この問題に対して第2従来例（特許平7-122627公報）の様な対策方法が発明されているが、この方法の問題点としてトレンチを形成する領域を形成する際 SiO_2 膜のサイドウォール305を形成するため、 SiO_2 膜の堆積（デポジション）及び SiO_2 膜のエッチバックの工程の分工程数が多くなり、製造コストが高くなるという課題があった。

【0012】本発明は、リーク電流の少ない高性能な半導体装置を、工程数を少なく簡単に形成する半導体装置の製造方法を提供することを目的とする。

【0013】

【課題を解決するための手段】本発明の半導体装置の製造方法は、トレンチを用いた素子分離領域の形成を行う半導体装置の製造方法であって、シリコン基板上に第1の酸化膜層、第1の多結晶シリコン膜層および第1の窒化膜層をこの順に積層して3層膜を形成する工程と、フォトリソに所望のパターニングを行なうことにより素子分離領域にすべき部分に対応して開口し、その後エッチングを行うことにより、前記3層膜に溝を形成し、更に前記シリコン基板上に第1の溝を形成する工程と、熱酸化を行うことにより、前記第1の溝の側面、底面及び前記第1の多結晶シリコン膜の前記溝の側壁を酸化し、前記第1の酸化膜を挟んだ前記第1の多結晶シリコン膜と前記シリコン基板の界面にバースピークを形成する工程と、前記第1の溝に SiO_2 膜を埋め込み、エ

(3)

特開平11-274288

4

ッチバックを行う工程とを含むことを特徴とする。

【0014】本発明の半導体装置の製造方法は、好ましくは、前記熱酸化が 1000°C 以上のドライ酸化若しくは HCl 酸化であるものとすることができる。

【0015】本発明の半導体装置の製造方法は、好ましくは、前記エッチバックに化学機械的研磨法（CMP（Chemical Mechanical Polishing））を用いることができる。

【0016】本発明の半導体装置の製造方法は、好ましくは、前記多結晶シリコンの膜厚が 400\AA 以下であるものとすることができる。

【0017】本発明の半導体装置の製造方法は、更に好ましくは、前記多結晶シリコンの形成方法として、アモルファスシリコンを堆積させた後、 600°C 以上のアニールを行い、多結晶化を行うことができる。

【0018】以下に本発明の半導体装置の製造方法の作用を説明する。トレンチを用いた素子分離領域端に、熱酸化によって特に上側へのはい上がりの大きいバースピークを形成することにより、後の犠牲酸化前の酸化膜除去、及び犠牲酸化膜の除去の工程におけるトレンチ角部での活性領域端の露出を防ぎ、電界集中による酸化膜の信頼性低下やソース／ドレイン間のリーク電流を抑制する。

【0019】

【発明の実施の形態】半導体装置の製造方法としては、半導体基板上に第1の酸化膜層、第1の多結晶シリコン膜層及び第1の窒化膜層を順に3層膜として形成し、フォトリソに素子分離領域とするべき領域に対向しパターニングにより開口を形成し、前記3層膜のエッチングを行い、更に半導体基板をエッチングして溝を形成する工程と、前記溝の側面及び底面と上記第1の多結晶シリコン膜の前記エッチングにより形成された開口の側壁を酸化する工程と、次いで前記フォトリソを除去した後前記溝部に絶縁膜を埋め込み、エッチバック又は研磨剤を使用した研磨により絶縁膜を平坦化する工程とからなる。従来法と異なり素子分離領域の上端部に多結晶シリコンを酸化することによって得られる酸化膜のはい上がりを持たせているため、後の犠牲酸化、及び犠牲酸化膜の除去の工程で酸化膜が後退したときに活性領域端の角部が露出するのを防ぎゲート酸化膜の信頼性低下やソース／ドレイン間のリーク電流を防ぐことが可能となり、トレンチを用いた素子分離領域を簡単に形成することができる。

【0020】（実施の形態）以下に本発明の半導体装置の製造方法の実施の形態について、図1及び図2を参照し説明する。図1及び図2は本発明の半導体装置の製造方法を模式的に示す断面図である。図1(a)に示すように、シリコン基板101上に厚さ 200\AA の SiO_2 膜層102、厚さ 500\AA の第1の多結晶 Si 膜層103、耐酸化性膜として厚さ 1500\AA の SiN 膜層10

4を順次形成する。尚、前記多結晶Si膜103は、アモルファスシリコンを堆積させ、その後600℃のアニールを行うことにより形成してもよい。この場合、アモルファスシリコンを薄くすることができるメリットがある。

【0021】次いで、フォトリソグラフィ技術を用いてレジストに素子分離領域とすべき領域（素子分離領域）を開口することにより、シリコン基板101上の素子形成領域上にレジストパターン105を選択的に形成する（図1（a）参照）。

【0022】このレジストパターン105をマスクとして図1（b）に示すように第1のSiN膜104、第1の多結晶Si膜103及び第1のSiO₂膜102をドライエッチングし、さらにシリコン基板101を0.5μm程度ドライエッチングすることにより素子分離部としてのトレンチ106を形成し、更にレジストパターン105を除去する。次に図1（c）に示すように、上記トレンチ106の側面、底面、及び多結晶Si膜層103の側面を1100℃のドライ酸化により熱酸化させて107部のように活性領域端の角部を丸めると共に熱酸化膜の多結晶Si膜層103側へのはい上がりをもたせる。こうして、熱酸化によるはい上がりの大きいバースピークが形成され、SiO₂膜層102と連続する。

【0023】このとき、シリコン基板101及び多結晶Si膜層103のトレンチ106の側面側部分において厚さ500Å程度に酸化膜であるSiO₂が形成されるとともに、シリコン基板101及び多結晶Si膜層103の酸化されないままの領域において、トレンチ106側からSiO₂膜層102側に丸く連なる丸部がシリコン基板101の角部（活性領域端の角部）及び多結晶Si膜層103に形成される。この丸部、例えばシリコン基板101の角部に位置する丸部は、後の工程で活性領域とされた場合に電界集中が発生しにくくなるようされるものである。尚、ドライ酸化は、例えば1000℃の条件で行うことができる。上記活性領域端の角部を丸めると共に多結晶Si膜層103側へのはい上がりをもたせるための熱酸化は、1000℃以上例えば1100℃のHCl酸化としてもよい。

【0024】そして、前記多結晶Si膜層103の厚さは、できるだけ薄いほうがよく、製造装置等から400Å以下でよい。その後、図2（d）に示すように、CVD（Chemical Vapor Deposition）法によりSiO₂膜を厚さ10000Å堆積させトレンチ部をSiO₂膜108で埋め込み、続いてエッチバック又はCMP（Chemical Mechanical Polishing）法いわゆる化学機械的研磨法によりSiO₂膜108の凹凸を平坦化する。尚、エッチバック法、CMP法については、それぞれエッチバック法では簡便であるが素子分離領域にSiO₂膜を埋め込むためにはSiO₂膜を素子分離領域幅の1/2倍よりも厚く堆積させる必要があり、これに対しCMP法

を用いればエッチバック法を用いる程SiO₂膜を厚く堆積する必要がないという特徴がある。尚、このSiO₂膜は10000Åに限らず、トレンチ深さ以上の膜厚であればよい。

【0025】次いで、SiN膜104を150℃リン酸で除去し、多結晶Si膜103をドライエッチングにて除去する（図2（d）参照）。その後、ウェットエッチングにてSiO₂膜層102を除去する。

【0026】その後、図2（e）に示すように、犠牲酸化を行ない、それによって形成された犠牲酸化膜を除去する。このとき酸化膜の多結晶Si膜層103側へのはい上がり部分が存在していたことにより活性領域端の角部109は丸くなっており、鋭角になることがなく、そしてこの角部がSiO₂膜108により覆われて露出することはない。ここで、SiO₂膜108は、その側壁面にバースウィーク形状に外側に突出した突出部分を有しており、この突出部分の下面側に角部109が位置し、その上面側においてその角部より内側に後退する丸くえぐられた凹部が形成されている。

【0027】その後、図2（f）に示すように、ゲート酸化膜として200Åのゲート酸化膜層110を900℃の熱酸化により形成する。続いて、ゲート電極としての1500Åの多結晶シリコン膜層111をCVDにより形成する。

【0028】尚、このゲート電極111及びゲート酸化膜110の下方に位置する活性領域にはチャンネルが形成され、そしてこのチャンネルに対し図2（f）の紙面の垂直方向にソース／ドレンが形成され、トランジスタが形成されるが、その工程については省略する。

【0029】以上の方法で、バースピークを形成することにより、犠牲酸化、及び犠牲酸化膜の除去の工程で酸化膜が後退したときに活性領域端の角部が露出するのを防ぎ、ひいては、活性領域端の角部109が丸く、鋭角にならないことから活性領域端部における電界集中を生じず、故にソース／ドレイン間のリーク電流も少なくゲート酸化膜の信頼性を低下させない良好なチャンネルを形成することができる。尚、ここで、トレンチ素子分離法は高集積デバイスで用いられ、本発明の電界集中を抑制する効果が現れる素子分離方法は100Å以下のゲート酸化膜をもちいる薄膜トランジスタで特に有効であると考えられるが、これに限られるものではない。

【0030】

【発明の効果】本発明によれば、素子分離領域端の角部が鋭角になるのを防ぐことが可能となり、そのことが、とくに素子分離工程で活性領域の犠牲酸化及び犠牲酸化膜の除去の工程で活性領域端の角部が露出しないようにできることから実現可能であり、リーク電流、例えばソース／ドレイン間のリーク電流の少ない、酸化膜、例えばゲート酸化膜の信頼性を低下させない、高性能な半導体装置を工程数を少なく形成することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法の実施の形態の工程を模式的に説明する断面図である。

【図2】本発明の半導体装置の製造方法の実施の形態の工程を模式的に説明する断面図である。

【図3】第1従来例の半導体装置の製造方法の工程を模式的に説明する断面図である。

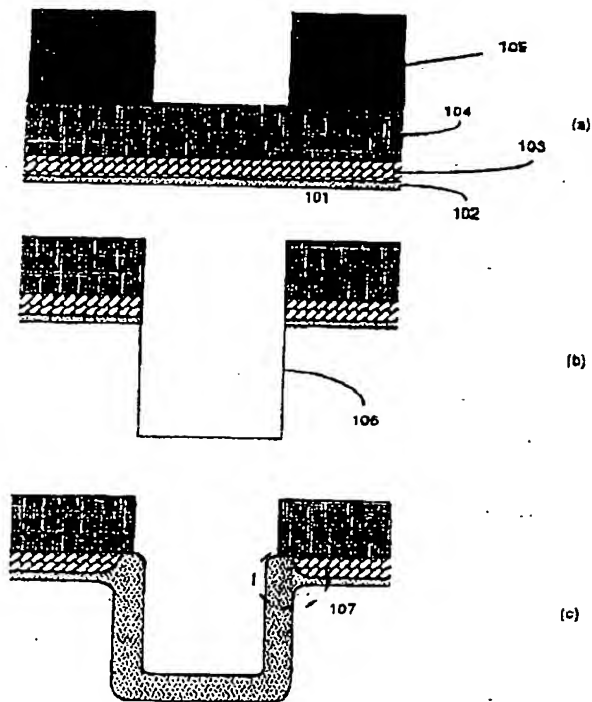
【図4】第1従来例の半導体装置の製造方法に対し変更される一部の工程を模式的に説明する断面図である。

【図5】第2従来例の半導体装置の製造方法の工程を模式的に説明する断面図である。

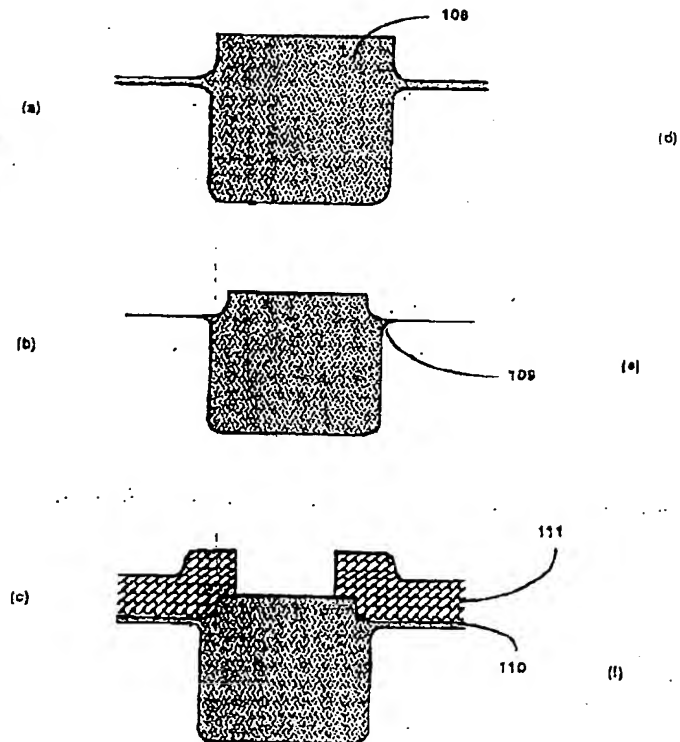
【符号の説明】

| | |
|-----|---------------------|
| 101 | シリコン基板 |
| 102 | SiO ₂ 膜層 |
| 103 | 多結晶Si膜 |
| 104 | SiN膜層 |
| 105 | レジストパターン |
| 106 | トレンチ |
| 108 | SiO ₂ 膜 |
| 109 | 角部 |
| 110 | ゲート絶縁膜 |
| 111 | ゲート電極 |

【図1】



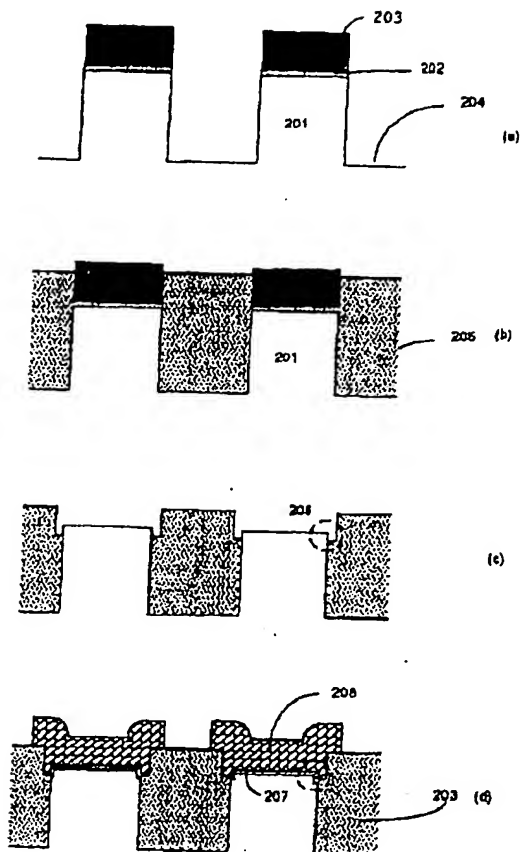
【図2】



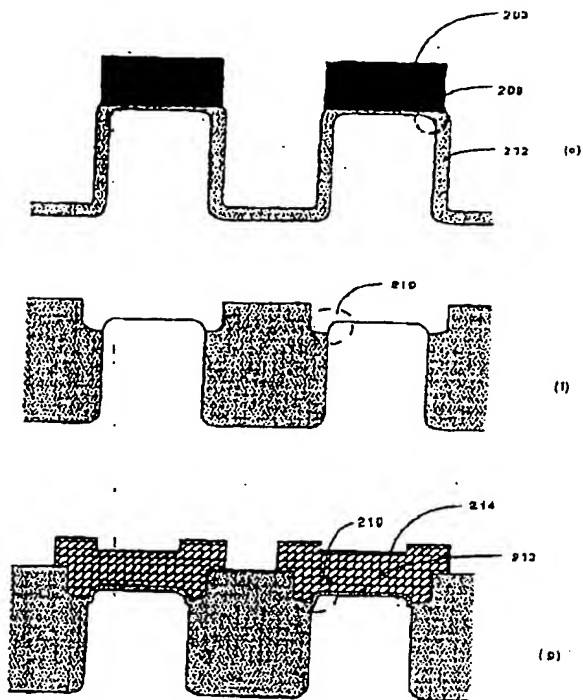
(6)

特開平11-274288

【図3】



【図4】



【図5】

